

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-97376

(43)公開日 平成8年(1996)4月12日

(51)Int.Cl.[®]

H 01 L 27/04

21/822

H 03 K 17/08

識別記号

庁内整理番号

F I

技術表示箇所

C 9184-5K

H 01 L 27/04

H

9184-5K

H 03 K 17/56

C

審査請求 未請求 請求項の数 1 FD (全 7 頁) 最終頁に統く

(21)出願番号

特願平7-224636

(22)出願日

平成7年(1995)8月9日

(31)優先権主張番号

290627

(32)優先日

1994年8月15日

(33)優先権主張国

米国(US)

(71)出願人

590000400

ヒューレット・パッカード・カンパニー
アメリカ合衆国カリフォルニア州パロアル
ト ハノーバー・ストリート 3000

(72)発明者

カルロス・エイチ・ディアズ
アメリカ合衆国カリフォルニア州パロアル
ト、ポールアヴェニュー 721

(74)代理人

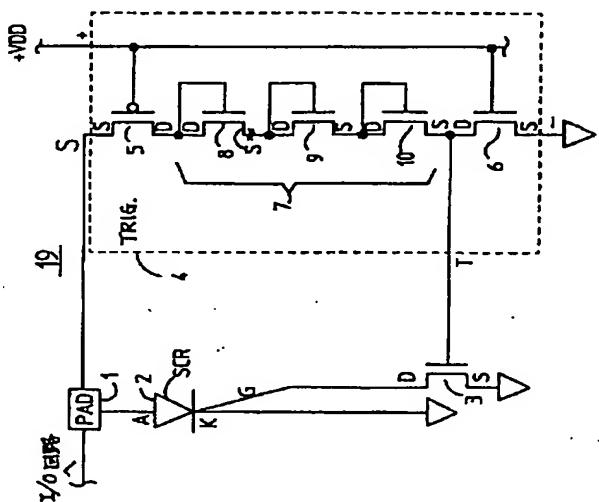
弁理士 上野 英夫

(54)【発明の名称】 静電放電対策用保護回路

(57)【要約】

【課題】電源電圧 VDD が供給されていない場合に、静電放電 (ESD) 保護のためのトリガのしきい値を大きくとることのできる装置を提供する。

【解決手段】本発明の一実施例によれば、直列接続された上部および下部インバータと、導通状態により SCR をトリガするトリガFETとを備え、トリガFETのゲートが下部インバータの端子間電圧により駆動される、ICのESD保護のための2モード・トリガ回路が提供される。2モード・トリガ回路のトリガしきい値は、2モード・トリガを構成する直列接続された上部および下部インバータ間に定電圧降下手段を挿入することにより、VDD が存在しない場合に、VDD より高くすることができます。これにより、トリガFETをターン・オンして実際に ESD 保護を行なう SCR を駆動させる前に乗り越えなければならないオフセット電圧が提供される。



【特許請求の範囲】

【請求項1】複数の電気端子を有する集積回路用の静電放電対策用保護回路であって、集積回路内を流れる電流の電源帰路として機能する基準電位点と、前記複数の端子のうちの一つに結合された導電経路を介して静電放電を感受する信号ノードと、ゲートを有し、前記信号ノードと前記基準電位点との間に結合されたSCRと、ゲートと、前記SCRのゲートに結合されたドレインと、前記基準電位点に結合されたソースとを有するトライガFETと、ドレインと、前記信号ノードに結合されたソースと、電源に結合されたゲートとを有する第1のインバータFETと、ドレインと、前記基準電位点に結合されたソースと、前記電源に結合されたゲートとを有する第2のインバータFETと、前記第1のインバータFETのドレインと、前記第2のインバータFETのドレインとの間に結合され、定電圧降下を示す2端子回路網と、を備えて成り、前記トライガFETのゲートが前記第2のインバータFETのドレインに結合されていることを特徴とする静電放電対策用保護回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は集積回路などの半導体デバイスを静電放電等から保護するための装置に関する。

【0002】

【従来の技術】MOS技術に関する静電放電(ESD)および電気的過応力(EOS)保護戦略は、出力バッファのゲート酸化物破壊電圧と、MOS破壊電圧とによって促進される。定常動作中の、電源電圧(VDD)と上記の破壊電圧との差は、最も進歩したMOS製造工程では、僅か数ボルトであるに過ぎない。その結果、破壊電圧に依存するESD保護装置の設計は一層複雑さを増してきた。何故ならば、保護構造は定常動作中は完全に受動状態(すなわちトライガされない)であることが期待され、なおかつ、ESD事象の発生中は低電圧でトライガしなければならない。集積回路(IC)をESDに起因する損傷から保護するための種々の技術が提案されている。動作をより高速化し、電力消費を少なくするという設計上の目標によって、低い供給電圧で動作し、破壊電圧が低い、小型化された装置が促進される。初期世代のICとともに存続し得るESD保護戦略は、最新世代のIC用には必ずしも適さない。例えば、初期の設計で許容された絶縁抵抗は今日の高性能ICでは受け入れられない。このような状況での好ましい保護戦略は、低電圧SCR(LVSCR)のような能動素子のトライガに依存することが多い。LVSCRのトライガしきい値は、ICに

電力が供給されていない場合、できるかぎり低いことが望ましい。(わずか数ボルトであることもある。)上記の場合には、しきい値は一定のゆとりを以て電源電圧を超えるなければならない。ESD保護装置のこのような種類の動作は“2モード・トリガリング(bi-modal triggering)”と呼ばれてきた。これは有効ではあるが、必ずしも全ての用途に適している訳ではない。例えば、第2装置で発生したバス経由信号によって駆動され、同じバス上の別の装置と通信し得る第1装置内のコネクタに、ある種のインターフェースICが結合される。第1装置に電力が供給されていない場合(そのI/Oコネクタは別の装置によって駆動されているので依然として“ホット”状態である)、そのESD保護のしきい値を、第1と第3の装置間で交換される信号のレベル未満に低減することができる。その結果としてESD保護素子がトライガされると、物理的な損傷を起こすことはないにしても、バス上の信号伝送の完全性が損なわれることがある。2モードESDトリガ回路に、電力が供給されない場合には利用されるしきい値を高くし、それでも尚、電力が供給された場合に利用されるしきい値よりは低くできることが望ましいであろう。

【0003】

【発明の目的】本発明は、集積回路などの半導体デバイスを静電放電等から保護するための装置を提供することを目的とする。

【0004】

【発明の概要】ICにおけるESD保護用2モード・トリガ回路は、VDDが存在しない場合にはESD事象自体のエネルギーを利用してSCRをトライガし、VDDが存在する場合はVDDからのエネルギーを利用して構成した回路である。このような構成は、直列の上下のインバータと、ゲートが下部インバータの端子間電圧によって駆動され、導通することによりSCRをトライガするトライガFETとによって達成される。

【0005】このようなICのESD保護用2モード・トリガ回路のトライガしきい値は、2モード・トライガを構成する直列接続された上下のインバータ間に定電圧降下を挿入することにより、VDDが存在しない場合にVDD以上に上昇させることができる。それによってオフセット電圧が得られ、このオフセット電圧はトライガFETがターンオンし、実際のESD保護を行うSCRを励起し得る前に超えられなければならない。定電圧降下はダイオード接続されたFETの直列列によって生じし得る。トライガFETのゲートを分路するラッチ接続ファイードバックFETを備え、それによってファイードバックFET内の飽和電圧がラッチを外すまでトライガFETのターンオンを遅延させることによって、しきい値を高くすることもできる。これらの2つの技術は別個に、または組合わせて利用できる。組合わせて利用すれば、2モード・トライガ回路用のトライガ電圧の所望の上昇よりも大幅

に低い一定電圧降下を提供するためにダイオード接続FETの個数を低減できる。ESD事象中にSCRがトリガされる電圧は、ダイオード接続FETの個数を変更すること、および回路内の種々のFETのサイズを調整することの双方または一方によって調整し得る。

【0006】

【実施例】ここで、Gordon W. Motley によって1994年2月2日に出願された「ESD PROTECT ION FOR IC'S (IC用ESD保護)」と題する米国出願第08/190,756号の図6の一部を転載した図1を参照する。これを図示した理由は、当該ESD保護回路の基本的な(電気的)構成を示すためである。5個の回路素子に“TRIG”の符号が付されていること、および各々の“T”ノードがトリガFETを介してSCRに結合されていることに注目されたい。図示した回路の動作は第08/190,756号出願で説明されており、ここでは繰り返さない。ESDからの保護はパッドからGND、パッドからDGND、およびDVDDからGNDへの経路を含む様々な経路用に達成し得ることに注目されたい。第2図は第08/190,756号出願の図7を転載したものであり、図1のTRIG回路内部をより詳細に図示し、同時にSCRの有用な等価素子を示すために図示したものである。

【0007】ここで図3を参照すると、ESD保護回路用の改良形のTRIG回路4と、ESD保護回路19とが図示されている。GND(またはDGND)から保護されているパッド1は連結されたI/O回路(図示せず)によって駆動され、かつ当該の帰路(例えばGNDまたはDGND)にも接続されたSCR2に接続されている。SCRのゲートは、TRIG回路4のTノードによってゲートが駆動されるトリガFET3に結合されている。トリガFET3がターンオンされると、SCR2がターンオンされる。SCRによってもたらされる導通状態がESD保護を行う。

【0008】TRIG回路4内にはソースがパッド1に結合された上部インバータ5と、ソースが当該のアース基準電圧に結合された下部インバータ6とを備えている。ダイオード接続FET(8, 9, 10)の直列列7は、上部インバータFET5のドレインと、下部インバータFET6のドレインとの間に結合されている。ダイオード接続FETの直列列7を備えた目的は、TRIG回路4がトリガFET3をターンオンするためにSとTRIG回路4との間に必要な電圧を高めるために利用し得る定電圧降下を生起することにある。ダイオード接続FETの列が、定電圧降下を示す2端子回路網を構成する方法の一つであるに過ぎないことが理解されよう。

【0009】当該ESD事象はパッド1がアースに対して正である場合に生ずる。(その他の可能性については第振れ号出願を参照されたい。)主として関心があるの

は、VDDはオフであるが、双方のチップとも介在バス(図示せず)によって接続されているために、恐らくは別のチップ内のI/O回路によってパッド1が駆動される場合である。VDDがオフの場合は上部インバータFET5はオンであり、下部FET6はオフである。このことによって、パッド1に印加された電圧の正の振れがトリガFET3のゲートに結合され得る。ダイオード接続FETの直列列7の代わりに短絡回路(従来技術)を使用した場合は、パッド1での上記のような正の電圧振れはトリガ3のゲートでほぼ完全に感受されよう。このことが、VDDよりも低い正の振れがSCR2をトリガし得る理由である。ダイオード接続FETの直列列7での電圧降下はノードSでの電圧降下から差し引かれ、その結果、トリガFET3をターンオンするために必要なノードSでの電圧レベルが高くなる。

【0010】VDDが3.3VであるNMOSの製造工程では、列7での定電圧降下を2ないし2.5ボルトにできれば望ましいであろう。ダイオード接続FETの端子間電圧が8/10ボルトであるとすれば、2.4V降下させるために直列の3個のFETを使用することを意味しよう。このことは製造工程によっては実際に達成できるであろうが、これを採用した特定の実際の工程の一つでは、各ダイオード接続FETでの降下はそれぞれ2/10ボルトに過ぎないことが判明した。このような差が生じる理由は、準しきい値(sub-threshold)漏れ電流であるものと考えられる。このことは、3.3VのVDDの場合、直列列7内に約10個ないし12個のダイオード接続FETを使用することを示唆している。しかしながら、このような多数のダイオード接続FETを使用すると、連結されたSCRのターンオン時間に悪影響を及ぼし、ひいては生産性が下がるであろう。

【0011】図4は、トリガFET3をターンオンするためにパッド1における正の振れ電圧を上昇させる必要がある別の構成11を示している。この構成では、ダイオード接続FETの直列列7(または別の2端子定電流回路網)がなく、フィードバックFET13が非導通の下部インバータFET6で電流を分流するように接続されている。フィードバックFET13のサイズは上部インバータFET5の1/10ないし1/5であることが好ましい。この回路構成11は次のように動作する。ESD事象が始まるとトリガFET3はオフになる。パッド1における上昇する正電圧はSCR2内の抵抗性経路を経てトリガFET3で感受される。このようにして、フィードバックFET13のゲートはこの正電圧を受け、ターンオンしがちである。しかし、フィードバックFET13は上部インバータFET5と比較してサイズが小さく、大量の電流を流すことができない。FET13は結局は飽和状態になり、そこで電圧は上昇し始めて、トリガFET3がターンオンし得るようにする。トリガFET3がターンオンすればするほどフィードバックFE

T13が流す電流は少なくなり、従ってトリガFET3(ひいてはSCR2)がターンオンすることを促進する。この動作はラッチと同様である。すなわち、FET3とFET13との間の構成はメモリ・セルの構成と類似している。ラッチが状態を変更するポイントは、バス上の信号の最大予想値と合わせて、FET3, 5および13のサイズによって決まる。この技術は有効であるが、製造中に飽和電流の値(曲線のひざ位置)を精密に制御することは困難であろう。というのは、これを設定するための幾つかのパラメータと、その結果生ずる任意の特定の値でのしきい電圧を制御しなければならないからである。

【0012】ハイブリッド構成20を図5に示してある。この構成20では、パッド1はダイオード接続FET16, 17, および18の直列列15と、フィードバックFET13の双方を含むTRIG.回路14に接続されている。この構成20は、列15内により多くのダイオード接続FETを備える必要がなく、また、フィードバックFET13のためのしきい値を正確に定める必要がなるなるので極めて有効に動作する。その理由を理解するには、導通状態のフィードバックFET13によって分流された電流が、パッドでの正のESD事象の電圧上昇とともに変化する様子を考えてみるとよい。上昇の初期の間は、準しきい値漏れ電流だけしかダイオード接続FETの直列列15を流れない。準しきい値漏れ電流は階段状波形を形成することがあるものの、フィードバックFET13を飽和させ、トリガFET3とフィードバックFET13とからなるラッチを外すのに充分な電流になることは決してない。しかし、全てのダイオード接続FETが一旦オン状態になると、フィードバックFET13を流れる電流は急激にある最小値(フロア値)まで増加し、その後、ESD事象の電圧に比例して増加し続ける。フィードバックFET13のひざ位置を分流電流のフロア値の近くに設定することが着想である。実際にはどちらの側でもよく、回路構成20は充分良好に動作する。

【0013】例えばVDDが3.3Vであり、直列列15での電圧降下が2.4Vに近い場合は(直列列15内に多数のFETを備えるか、または、工程の変数を調整することにより、各ダイオード接続FETでの降下が8/10ボルトに近くなるようにするか、またはその双方による)、フィードバックFET13を流れる分流電流のフロア値が少なくとも飽和レベルと同じ電圧レベルになるように構成し得る。すなわち、全てのダイオード接続FETがターンオンした直後に、FET13および3のラッチは切り換わる。これに対して、ダイオード接続FETでの結合電圧降下が低い場合、すなわち、6/10ボルトである場合、分流電流をフロア値を超えて更に増加させる必要がある。しかし、その場合でも、ダイオード接続FETの列15での電圧降下によって何らかの余裕が与

えられることが保証されているので、フィードバック-トリガFETラッチ(13, 3)のしきい値をより余裕を以て制御することができる。

【0014】図3, 4および5の回路構成19, 11および20の動作はVDDがオンである場合は、依然として上記の説明が該当するものの、それぞれやや異なっている。主要な相違点は、上部インバータFET5がオフになることと、下部インバータFET6がオンになることである。パッドの正のESD事象によって結局はTRIG.回路のSノード電圧は上部インバータFET5のゲート以上に上昇して、これをターンオンさせる。そのことによって次に、結局はダイオード接続FETの直列列での電圧降下よりも多い量だけ上部インバータFETの電圧を上昇させる。この時点で、上部インバータFET5と、ダイオード接続FETの直列列から得られる電流の間に、ターンオンされた下部インバータFET6によってどの程度の電圧降下が得られるかに関して駆動競争(drive fight)が生じる。下部インバータFET6のサイズがそれほど大きくはない設計の場合は、これは競争力を喪失し、飽和し、その結果の電圧上昇によってトリガFET3はターンオンされる。駆動競争の間は、ノードTの電圧はFET5および6のオン抵抗の比率に従って上昇する。上昇した電圧は設計上のサイズが大きいトリガFET13のゲートに直接結合されるので、FET13をターンオンさせ、ひいてはSCR2をトリガするために必要なゲート電圧はあまり大きくない。

【0015】VDDがオンである場合は、ダイオード接続FETの直列列、またはフィードバックFETによって、または双方を組合わせて得られた付加的なしきい値電圧はVDD以上に不要に上昇することに留意された。これは“悪い方向への変化”であるが、VDDがオフの場合は、これはホット・プラグ耐性を保証するには適正な代償であることが判明している。何故ならば、VDDがオンの場合はICがより大型の回路に実装されており、従っていざれにせよESDによる損傷を極めて受け難いからである。

【0016】直列列のダイオード接続FETの数を変更すること、およびFET3, 5, および13のサイズを調整することの双方または一方によって、SCR2を励起するためのトリガ・ポイントを、適正なESD保護およびホット・プラグ耐性の双方が達成される値に調整できることが更に明らかであろう。

【0017】これまで本発明をNMOSの製造工程の文脈で、また、3.3Vという比較的低いVDDについて開示し、説明してきたが、本発明をPMOS工程、および大幅に異なるVDDの値でも実施し得ることは勿論明らかであろう。

【0018】以上、本発明の実施例について詳述したが、以下、本発明の各実施例毎に列挙する。

【例1】複数個の電気端子を有する集積回路用のESD保

護回路(19)において、集積回路内を流れる電流用の電源帰路としての役割を果たす基準電位点と、複数の端子のうちの一つに結合された導電経路を経てESDを感受する信号ノード(1)と、信号ノードと基準電位点との間に結合され、更にゲートを有するSCR(2)と、SCRのゲートに結合されたドレインと、基準電位点に結合されたソースと、更にゲートを有するトリガFET(3)と、信号ノードに結合されたソースと、ドレインと、更に電源に結合されたゲートを有する第1インバータFET(5)と、基準電位点に結合されたソースと、ドレインと、更に電源に結合されたゲートを有する第2インバータFET(6)と、定電圧降下を示し、かつ第1インバータFETのドレインと、第2インバータFETのドレインとの間に結合された2端子回路網(7)と、を備えて成り、トリガFETのゲートが第2インバータFETのドレインに結合されたことを特徴とするESD保護回路。

[例2] 2端子回路網が少なくとも一つのダイオード接続FETの直列列(8, 9, 10)を備えたことを特徴とする例1に記載のESD保護回路。

[例3] 2端子回路網がツェナーダイオードを備えたことを特徴とする例1に記載のESD保護回路。

[例4] 複数個の電気端子を有する集積回路用のESD保護回路(11)において、集積回路内を流れる電流用の電源帰路としての役割を果たす基準電位点と、複数の端子のうちの一つに結合された導電経路を経てESDを感受する信号ノード(1)と、信号ノードと基準電位点との間に結合され、更にゲートを有するSCR(2)と、SCRのゲートに結合されたドレインと、基準電位点に結合されたソースと、更にゲートを有するトリガFET(3)と、信号ノードに結合されたソースと、ドレインと、更に電源に結合されたゲートを有する第1インバータFET(5)と、基準電位点に結合されたソースと、第2インバータFETのドレインに結合されたドレインと、更に電源に結合されたゲートを有する第2インバータFET(6)と、第2インバータFETのドレインに結合されたドレインと、基準電位点に結合されたソースと、トリガFETのドレインに結合されたゲートとを有するフィードバックFET(13)と、を備えて成り、トリガFETのゲートが第2インバータFETのドレインに結合されたことを特徴とするESD保護回路。

[例7] 複数個の電気端子を有する集積回路用のESD保護回路(20)において、集積回路内を流れる電流用の電源帰路としての役割を果たす基準電位点と、複数の端子のうちの一つに結合された導電経路を経てESDを感受する信号ノード(1)と、信号ノードと基準電位点との間に結合され、更にゲートを有するSCR(2)と、

SCRのゲートに結合されたドレインと、基準電位点に結合されたソースと、更にゲートを有するトリガFET(3)と、信号ノードに結合されたソースと、ドレインと、更に電源に結合されたゲートを有する第1インバータFET(5)と、基準電位点に結合されたソースと、ドレインと、更に電源に結合されたゲートを有する第2インバータFET(6)と、定電圧降下を示し、かつ第1インバータFETのドレインと、第2インバータFETのドレインとの間に結合された2端子回路網(15)と、第2インバータFETのドレインに結合されたドレインと、基準電位点に結合されたソースと、トリガFETのドレインに結合されたゲートとを有するフィードバックFET(13)と、を備えて成り、トリガFETのゲートが第2インバータFETのドレインに結合されたことを特徴とするESD保護回路。

[例8] 2端子回路網が少なくとも一つのダイオード接続FETの直列列(16, 17, 18)を備えたことを特徴とする例7に記載のESD保護回路。

[例9] 2端子回路網がツェナーダイオードを備えたことを特徴とする例7に記載のESD保護回路。

【0019】

【発明の効果】以上説明したように、本発明を用いることにより、VDDが供給されていない場合に、ESD保護のためのトリガのしきい値を大きくすることができる。

【図面の簡単な説明】

【図1】ESDからICを保護するための保護SCR用トリガ回路の代表的な配置を示したICの簡略な部分概略図である。

【図2】図1の概略図のTRIG.部とSCR部の簡略拡大図である。

【図3】図1および図2のTRIG.部として使用できる第1回路の簡略な構成図である。

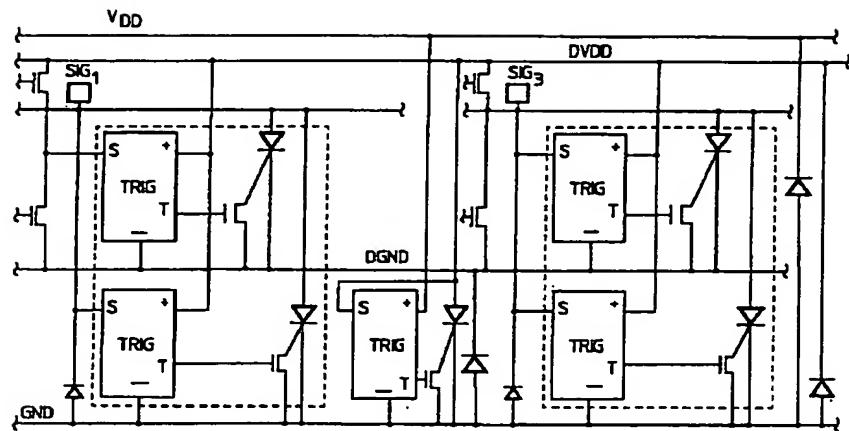
【図4】図1および図2のTRIG.部として使用できる第2回路の簡略な構成図である。

【図5】図1および図2のTRIG.部として使用できる図3および図4に示した技術を組合せた第3回路の簡略な構成図である。

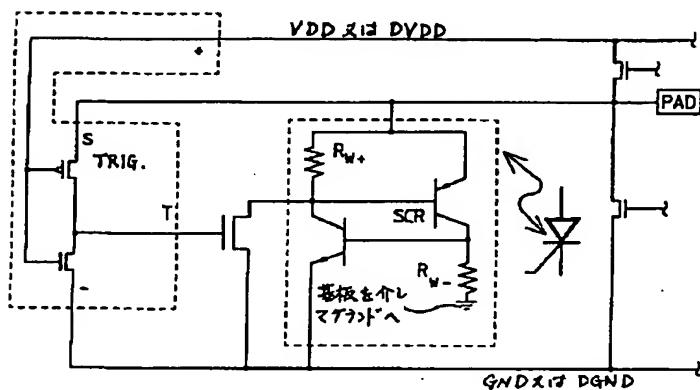
【符号の説明】

- 1: パッド
- 2: SCR
- 3: トリガFET
- 4: TRIG.回路
- 5: 上部インバータFET
- 6: 下部インバータFET
- 8, 9, 10: ダイオード接続FET

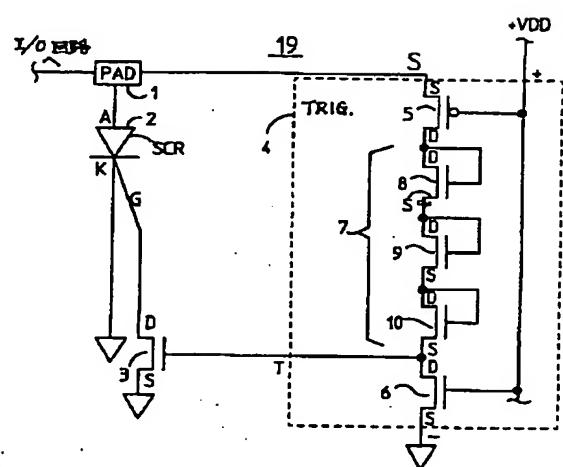
【図 1】



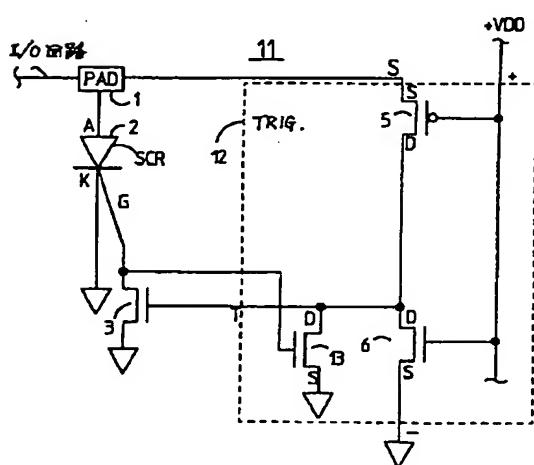
【図 2】



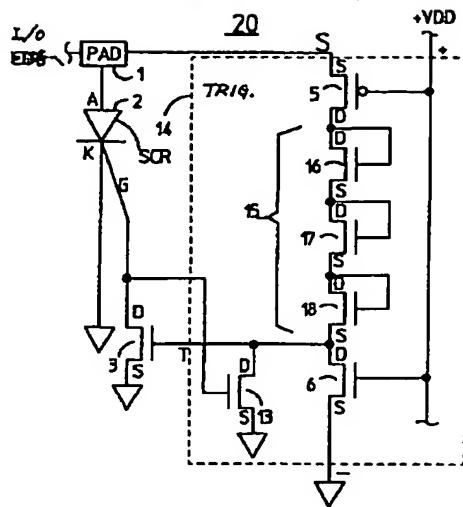
【図 3】



【図 4】



【図5】



フロントページの続き

(51) Int.Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 17/567

// H 0 5 F 3/02

L 9470-5G